

ARQUITETURA PAN-TOMPKINS VLSI EFICIENTE EM DISSIPAÇÃO DE POTÊNCIA EXPLORANDO UNIDADES OTIMIZADAS AO QUADRADO NA BASE-2^m

LÉO DOS SANTOS RIBEIRO¹; MORGANA MACEDO AZEVEDO DA ROSA²;
EDUARDO ANTONIO CÉSAR DA COSTA³; RAFAEL IANKOWSKI SOARES⁴

¹Universidade Federal de Pelotas – lsribeiro@inf.ufpel.edu.br

²Universidade Católica de Pelotas – morganamacedoazevedodarosa@gmail.com

³Universidade Católica de Pelotas – ecosta.dacosta@gmail.com

⁴Universidade Federal de Pelotas – rafael.soares@inf.ufpel.edu.br

1. INTRODUÇÃO

As doenças cardiovasculares são a principal causa de mortalidade global, reforçando a necessidade de métodos de diagnóstico precoce e monitoramento contínuo. O eletrocardiograma (ECG) é amplamente utilizado pela sua confiabilidade clínica, com destaque para a detecção do complexo QRS, e do pico R, essencial na análise de ciclos cardíacos (Utomo; Rochmad; Rokhana, 2024). Entre os algoritmos existentes, o Pan-Tompkins (PTA) destaca-se por sua elevada precisão em aplicações em tempo real e baixo consumo (Pan; Tompkins, 1985).

Este trabalho apresenta a evolução da arquitetura PTA aproximada (AxPTA) (Ribeiro et al., 2024), anteriormente proposta. A nova arquitetura VLSI otimizada emprega truncamento de coeficientes e integra unidades de elevação ao quadrado aproximadas na base 2^m (AxRSU-2^m) (Da Rosa et al., 2024). A proposta visa reduzir área e dissipação de potência em sistemas de monitoramento biomédico, mantendo alta acurácia na detecção do complexo QRS. A Figura 1 mostra os passos do algoritmo PTA, com o destaque em laranja na elevação ao quadrado.

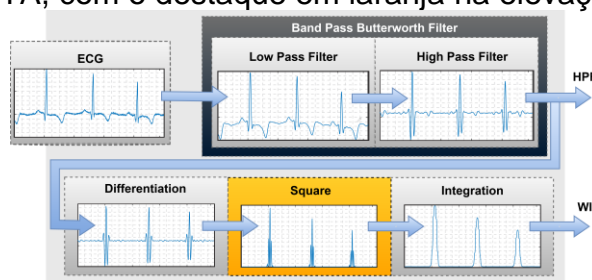


Figura 1: Etapas do PTA, destacando a elevação ao quadrado (bloco laranja)

2. METODOLOGIA

A metodologia concentra-se na modificação da etapa de pré-processamento do algoritmo PTA visando reduzir a complexidade computacional e otimizar o uso de hardware. O arranjo convencional de filtros passa-baixa e passa-alta foi substituído por um filtro Butterworth passa-faixa unificado, reduzindo operações aritméticas e elementos de memória e tornando a implementação mais adequada a sistemas embarcados. O impacto dessa modificação foi avaliado por três estratégias de otimização de coeficientes: arredondamento, quantização seguida de arredondamento e truncamento, sendo esta última a que apresenta um melhor equilíbrio entre simplicidade e precisão, aderente com a abordagem de operações por deslocamento e soma.

Na etapa seguinte, busca-se reduzir o custo do estágio de elevação ao quadrado, que normalmente utiliza multiplicadores exatos, substituindo-o por unidades aproximadas, denominadas $AxRSU-2^m$. Essas unidades exploram a regularidade estrutural da codificação na base 2^m (onde m representa o número de bits multiplicados simultaneamente, i.e., $m=2$, base 4 = $AxRSU-4$). As arquiteturas fazem uso de codificadores aproximados de dois tipos: Tipo 1, empregado para os produtos parciais verticais (multiplicação de valores iguais), e o Tipo 2, para os produtos diagonais (multiplicação de valores que podem ser diferentes). O nível de aproximação é controlado pelos parâmetros K_1 e K_2 , que regulam a quantidade de codificadores aproximados utilizados. Essa estratégia viabiliza o ajuste fino entre acurácia e custo de hardware, proporcionando maior flexibilidade no projeto.

Os experimentos foram conduzidos em três etapas complementares. Primeiramente, realizaram-se simulações em ambiente MATLAB com sinais de ECG provenientes do banco de dados MIT-BIH (Moody; Mark, 2001), abrangendo um total de um milhão de amostras, com o objetivo de verificar a precisão do algoritmo proposto. Em seguida, foi realizada a co-simulação com a ferramenta ModelSim para validar a arquitetura em nível de descrição de hardware, assegurando a compatibilidade entre os modelos comportamentais e estruturais. Por fim, efetuou-se a síntese lógica da arquitetura utilizando a tecnologia de 65 nm na ferramenta Cadence Genus, o que permitiu estimar métricas de área e dissipação de potência. Os resultados obtidos foram comparados com trabalhos da literatura (Kanani; Bhattacharjya; Banerjee, 2021), e versões anteriores (Ribeiro et al., 2024), que exploraram somadores aproximados ($AxPPA$) e arquiteturas baseadas em multiplicadores exatos, de forma a contextualizar os ganhos alcançados pela proposta.

3. RESULTADOS E DISCUSSÃO

Entre as configurações avaliadas, a versão truncada apresentou o melhor desempenho, alcançando a maior acurácia e a menor taxa de erro de detecção (DER), com ganhos de 0,08% e 2,61% em relação às versões arredondada e quantizada, respectivamente. Essa configuração mostrou-se compatível com a estratégia desloca soma adotada na arquitetura $AxPTA$, justificando sua escolha como implementação final.

As variantes $AxRSU-4$, $AxRSU-8$ e $AxRSU-16$ foram incorporadas ao estágio de elevação ao quadrado para substituir as unidades exatas (bloco ilustrado em laranja na Figura 1). Os módulos $AxRSU-T1$ e $AxRSU-T2$ foram empregados seletivamente em produtos parciais verticais e diagonais, de acordo com os parâmetros de configuração K_1 e K_2 . A avaliação de desempenho, baseada em métricas de Sensibilidade (Se) e Predição Positiva (+P), mostrou resultados consistentes mesmo em cenários de aproximação. Destaca-se que a configuração $AxRSU-8$ ($K_1 = 2$ e $K_2 = 3$) obteve Se de 87,55% e +P de 87,32%, enquanto a $AxRSU-16$ ($K_1 = 2$ e $K_2 = 0$) apresentou Se de 87,28% e +P de 87,81%. Em comparação a estratégias convencionais, como o algoritmo simplificado D12V16 (Neto et al., 2021), que alcançou apenas 27,4% de sensibilidade em sua segunda etapa decisória, os resultados da $AxPTA$ representam avanços significativos, validando a robustez da abordagem.

A análise do trade-off entre custo de projeto e qualidade é apresentada na Figura 2, que sintetiza as curvas de Pareto considerando área, potência e acurácia. Observa-se que todas as configurações ótimas atingiram economias superiores a 99,999995% em consumo de energia, mesmo em cenários de aproximação

agressiva. Quanto à área, as melhores configurações convergiram para reduções em torno de 34,5%, mantendo acurácia acima de 98,3%. Em particular, as implementações AxRSU-16 com ($K_1=0$, $K_2=1$) e ($K_1=0$, $K_2=2$) atingiram reduções de até 34,8% em área e economias de energia de 99,999995%, enquanto as variantes AxRSU-4 com ($K_1=2$, $K_2=6$) e ($K_1=4$, $K_2=6$) apresentaram resultados equivalentes, confirmando a consistência entre diferentes bases.



Figura 2 - Fronteira de Pareto: Equilíbrio entre acurácia, área e potência nas diferentes configurações do AxRSU-2^m.

Referência	Tipo da Arq.	Modelo do Filtro	Tecnologia e ferramenta	Área [μm²]	Potência [μW]
(Kanani; Bhattachariya; Banerjee, 2021)	Sequencial	Filtro Sintético	45 nm NanGate OCL	24767,52	14309,00
(Huang; Wang; Chen, 2012)	Paralelo 18b	Passa-Baixa + Passa-Alta	65 nm Cadence Genus	22741,00	23,98
(Ribeiro et al., 2024)	Paralelo 18b	AxPTA empregando AxPPA K=2	65 nm Cadence Genus	22185,81	15,10
Nosso Trabalho	Paralelo 18b	AxPTA empregando AxRSU-16 (K1=0, K2=1)	65 nm Cadence Genus	19089,29	14,09
Nosso Trabalho	Paralelo 18b	AxPTA empregando AxRSU-16 (K1=0, K2=2)	65 nm Cadence Genus	18927,92	14,02
Nosso Trabalho	Paralelo 18b	AxPTA empregando AxRSU-4 (K1=2, K2=6)	65 nm Cadence Genus	18955,79	14,02
Nosso Trabalho	Paralelo 18b	AxPTA empregando AxRSU-4 (K1=4, K2=6)	65 nm Cadence Genus	18938,30	13,99
PTAadd16se 1Y7	Paralelo 16b	Arq. de ref. com o add16se 1Y7 nas etapas FIR	65 nm Cadence Genus	18603,94	1885,79
PTAadd16se 2E1	Paralelo 16b	Arq. de ref. com o add16se 2E1 nas etapas FIR	65 nm Cadence Genus	18504,30	1875,73
PTAadd16se 2H0	Paralelo 16b	Arq. de ref. com o add16se 2H0 nas etapas FIR	65 nm Cadence Genus	18995,16	1904,22
PTAadd16se 2IY	Paralelo 16b	Arq. de ref. com o add16se 2IY nas etapas FIR	65 nm Cadence Genus	18800,16	1891,82
PTAadd16se 2LJ	Paralelo 16b	Arq. de ref. com o add16se 2LJ nas etapas FIR	65 nm Cadence Genus	18991,27	1906,58
PTAadd16se 2OJ	Paralelo 16b	Arq. de ref. com o add16se 2OJ nas etapas FIR	65 nm Cadence Genus	18777,71	1885,52
PTAadd16se 2S5	Paralelo 16b	Arq. de ref. com o add16se 2S5 nas etapas FIR	65 nm Cadence Genus	18609,41	1872,79
PTAadd16se 26Q	Paralelo 16b	Arq. de ref. com o add16se 26Q nas etapas FIR	65 nm Cadence Genus	18941,96	1903,79
PTAadd16se 29A	Paralelo 16b	Arq. de ref. com o add16se 29A nas etapas FIR	65 nm Cadence Genus	18567,34	1884,77
PTAadd16se 294	Paralelo 16b	Arq. de ref. com o add16se 294 nas etapas FIR	65 nm Cadence Genus	18620,89	1887,04

Tabela 1 - Comparação de síntese ASIC. Células em verde indicam resultados superiores aos trabalhos relacionados. OCL significa Open Cell Library.

A Tabela 1 apresenta os resultados da síntese ASIC em comparação com implementações do PTA exato e com arquiteturas anteriores. Em relação à versão baseada em somadores aproximados (AxPPA) apresentada em trabalhos prévios, a configuração AxRSU-4 ($K_1=4$, $K_2=6$) proporcionou redução adicional de 14,4% na área e 7,3% no consumo de potência, representando melhorias de 2,5 vezes em eficiência energética e 1,2 vezes em eficiência de área. Quando comparada às arquiteturas PTAadd16se reimplementadas em 65 nm, a AxPTA com AxRSU superou até mesmo a melhor configuração da literatura (2E1), obtendo mais de 134 vezes de economia em potência.

Esses resultados evidenciam que a simplicidade estrutural dos codificadores aproximados Tipo 1 e Tipo 2 contribui diretamente para ganhos de eficiência, sem comprometer a confiabilidade na detecção dos picos R. A consistência entre as variantes AxRSU-4, AxRSU-8 e AxRSU-16 confirma a robustez e a escalabilidade da abordagem, consolidando a AxPTA como uma solução adequada para aplicações biomédicas de baixo consumo em monitoramento de ECG em tempo real.

4. CONCLUSÕES

Este trabalho apresentou a AxPTA, uma arquitetura VLSI de baixo consumo que combina truncamento de coeficientes no filtro passa-faixa do algoritmo Pan-Tompkins com unidades aproximadas de elevação ao quadrado na base 2^m (AxRSU- 2^m). A substituição de multiplicadores por codificadores de baixo custo reduziu área e potência sem comprometer a acurácia na detecção de picos R. A análise do espaço de projeto mostrou que configurações como AxRSU-16 ($K_1=0$, $K_2=2$) e AxRSU-4 ($K_1=4$, $K_2=6$) se destacaram na curva de Pareto, alcançando até 16,8% de redução de área e 99,2% de economia de potência, com validação em sinais reais do MIT-BIH. Esses resultados confirmam a eficácia da aproximação controlada e consolidam a AxPTA como solução promissora para sistemas biomédicos de baixo consumo e aplicações portáteis de monitoramento cardíaco em tempo real.

5. REFERÊNCIAS BIBLIOGRÁFICAS

- DA ROSA, Morgana M. A. *et al.* AxRSU-2m: Higher-Order m-Bit Approximate Encoders for Radix-2m Squarer Units. **Circuits, Systems, and Signal Processing**, v. 43, n. 6, p. 3649–3678, 1 jun. 2024.
- HUANG, Sheng Chieh; WANG, Hui Min; CHEN, Wei Yu. A ± 6 ms-Accuracy, 0.68 mm², and 2.21 μ W QRS Detection ASIC. **VLSI Design**, v. 2012, n. 1, p. 809393, 1 jan. 2012.
- KANANI, Alish; BHATTACHARJYA, Rajat; BANERJEE, Dip Sankar. ApproxBioWear: Approximating Additions for Efficient Biomedical Wearable Computing at the Edge. **Proceedings of the Annual International Conference of the IEEE Engineering in Medicine and Biology Society, EMBS**, v. 2021-January, p. 7566–7569, 2021.
- MOODY, George B.; MARK, Roger G. The impact of the MIT-BIH arrhythmia database. **IEEE engineering in medicine and biology magazine**, v. 20, n. 3, p. 45–50, 2001.
- NETO, Francisco Santos *et al.* Validação de um Algoritmo Simples para Detecção de Taquicardia Ventricular no Eletrocardiograma. **Arquivos Brasileiros de Cardiologia**, v. 116, n. 3, p. 454–463, 2021.
- PAN, Jiapu; TOMPKINS, Willis J. A Real-Time QRS Detection Algorithm. **IEEE Transactions on Biomedical Engineering**, v. BME-32, n. 3, p. 230–236, 1985.
- RIBEIRO, Leo *et al.* Exploring Approximate Adders for an Energy-Efficient Pre-Processing Pan-Tompkins Algorithm VLSI Design. **Proceedings - 37th SBC/SBMicro/IEEE/ACM Symposium on Integrated Circuits and Systems Design, SBCCI 2024**, 2024.
- UTOMO, Raden Septiaji Dwilakso; ROCHMAD, Mochammad; ROKHANA, Rika. 6-Lead ECG Monitoring System for Recording Cardiac Activity Using Pan-Tompkins Algorithm. *In: IEEE*, 2024.