

# ANÁLISE DO IMPACTO DE UM EVENTO TRANSIENTE ÚNICO EM UM FLIP-FLOP D

GUSTAVO RAYMUNDI NYGAARD<sup>1</sup>; LEOMAR DA ROSA JR<sup>2</sup>

<sup>1</sup>Universidade Federal de Pelotas – [grnygaard@inf.ufpel.edu.br](mailto:grnygaard@inf.ufpel.edu.br)

<sup>2</sup>Universidade Federal de Pelotas – [leomarjr@inf.ufpel.edu.br](mailto:leomarjr@inf.ufpel.edu.br)

## 1. INTRODUÇÃO

O funcionamento de circuitos digitais modernos depende de elementos de memória que armazenam informações binárias. Entre esses elementos, os Flip-Flops ocupam papel central por serem responsáveis pelo armazenamento temporário de dados em registradores e processadores. No entanto, o avanço da miniaturização dos transistores, o aumento da densidade de integração e a redução da tensão de operação elevaram a vulnerabilidade dos Flip-Flops a evento transiente único (SETs - Single Event Transient), como observado por Takahashi et al., (2024).

Partículas energéticas, como nêutrons ou partículas alfa emitidas por materiais na própria Terra, podem atravessar o silício de um chip e depositar carga elétrica em nós sensíveis. Quando isso acontece em um Flip-Flop, o estado armazenado pode ser alterado, resultando em um *bit-flip*. Esse tipo de falha, conhecido como Evento de Falha Única (SEU - Single Event Upset), representa um risco significativo em sistemas críticos, como satélites, aviões, automóveis e equipamentos médicos (BAUMANN, 2005; REECE et al., 2014).

Os Flip-Flops são especialmente suscetíveis a SEUs, já que armazenam diretamente a informação binária. Um erro em um único Flip-Flop pode comprometer instruções de processadores ou resultados de cálculos (MESSENGER, 1982). Assim, compreender como a radiação impacta esses elementos é essencial para o desenvolvimento de técnicas de proteção, como Sugitani et al. (2025) que demonstra que conseguem reduzir significativamente a taxa de erros suaves causados por partículas.

O objetivo deste trabalho é avaliar, por meio de simulações, como partículas energéticas podem provocar falhas em flip-flops D, identificando as condições em que essas falhas ocorrem e discutindo possíveis estratégias de mitigação.

## 2. METODOLOGIA

Para analisar o efeito de eventos transientes únicos SET em um Flip-Flop do tipo D, foram realizadas simulações elétricas no *software* LTspice, utilizando o modelo de tecnologia preditiva PTM de 45 nm, variante de alto desempenho. O Flip-Flop foi composto por dois *latches* controlados por portas de transmissão, operando com alimentação de 1,0 V. O sinal de *clock* foi configurado como uma onda quadrada de período de 2 ns, e a saída Q recebeu diferentes valores de capacitância (3 fF, 12 fF e 24 fF) para representar distintas condições de carga.

A partícula foi modelada como uma fonte de corrente comportamental com perfil de dupla exponencial, representando o pulso elétrico gerado pelo impacto no nó sensível do *latch* ativo. O pulso foi definido com constante de tempo de subida de 2 ps e constantes de decaimento de 20, 30 e 40 ps, variando a intensidade de pico entre 350  $\mu$ A e 950  $\mu$ A. O instante de injeção do pulso foi

varrido de  $-60$  ps a  $+60$  ps em relação à borda ativa do *clock*, em passos de 10 ps, para identificar a janela temporal de maior vulnerabilidade do Flip-Flop D.

Durante as simulações, foram extraídas três medidas principais: a duração do pulso gerado em Q (largura do SET), a carga injetada pela fonte de corrente e a ocorrência de *bit-flip* (*upset*). A carga crítica ( $Q_{crit}$ ) foi determinada como a menor quantidade de carga injetada capaz de provocar inversão do valor armazenado, considerando cada configuração de carga de saída. Os valores médios obtidos para a largura do pulso e para a carga crítica.

### 3. RESULTADOS E DISCUSSÃO

Os resultados mostraram que a vulnerabilidade do Flip-Flop D depende do instante em que a partícula atinge o circuito. Quando a injeção da corrente ocorre próxima à borda ativa do *clock*, a probabilidade de *bit-flip* aumenta significativamente, configurando uma janela temporal de vulnerabilidade em torno de  $\pm 20$  ps. Para pulsos mais intensos, essa janela se alarga, permitindo que falhas ocorram mesmo fora da região crítica.

Além disso, observou-se que a capacitância de carga na saída influencia diretamente a suscetibilidade do Flip-Flop. Para cargas pequenas, o circuito se mostrou mais vulnerável, apresentando falhas com menores valores de corrente injetada. À medida que a capacitância aumentou, a energia mínima necessária para provocar a inversão do *bit* também cresceu, refletindo no aumento da carga crítica ( $Q_{crit}$ ).

A Tabela 1 apresenta a largura média dos pulsos SET obtidos em Q para diferentes intensidades de corrente e capacitâncias de saída. Nota-se que pulsos de maior intensidade resultaram em perturbações mais longas e que a presença de cargas maiores reduziu a duração desses pulsos.

**Tabela 1.** Largura média do pulso SET em Q (ps).

Carga de saída	350 $\mu$ A	500 $\mu$ A	650 $\mu$ A	800 $\mu$ A	950 $\mu$ A
3 fF	29 ps	42 ps	55 ps	64 ps	72 ps
12 fF	20 ps	31 ps	44 ps	54 ps	61 ps
24 fF	15 ps	25 ps	36 ps	46 ps	53 ps

Já a Tabela 2 resume os valores médios de carga crítica obtidos em função da capacitância de saída. Fica evidente a tendência de crescimento da  $Q_{crit}$  à medida que a capacitância aumenta, mostrando que Flip-Flops mais carregados exigem maior energia para sofrer falhas.

Tabela 2. Carga crítica ( $Q_{crit}$ ) em função da capacitância de saída.

Carga de saída (fF)	$Q_{crit}$ (fC)
3 fF	12,1 fC
12 fF	18,6 fC
24 fF	29,4 fC

#### 4. CONCLUSÕES

As simulações permitiram identificar as condições em que as falhas ocorrem no Flip-Flop D, evidenciando que a vulnerabilidade depende da intensidade do pulso, do instante do impacto em relação ao *clock* e da capacitância de saída. Além disso, os resultados ressaltam a importância da adoção de estratégias de mitigação em aplicações críticas, como satélites, aviões e equipamentos médicos.

#### 5. REFERÊNCIAS BIBLIOGRÁFICAS

BAUMANN, R. C. Radiation-induced soft errors in advanced semiconductor technologies. *IEEE Transactions on Device and Materials Reliability*, v. 5, n. 3, p. 305-316, 2005.

CALLEGARO, V. et al. SwitchCraft: a framework for transistor network design. In: *Proceedings of the 23rd Symposium on Integrated Circuits and System Design*. 2010. p. 49-53.

MESSENGER, G. C. Collection of charge on junction nodes from ion tracks. *IEEE Transactions on Nuclear Science*, v. 29, n. 6, p. 2024-2031, 1982.

REECE, T. et al. SEU characterization of flip-flops in advanced CMOS technologies. *IEEE Transactions on Nuclear Science*, v. 61, n. 6, p. 2931-2938, 2014.

SUGITANI, S.; NAKAJIMA, R.; YOSHIDA, K.; FURUTA, J.; KOBAYASHI, K. Radiation-hardened flip-flops in a 65 nm bulk process for terrestrial applications coping with radiation hardness and performance overheads. *IEICE Transactions on Electronics*, 2024.

SUTHERLAND, I.; SPRINGER, B.; CHANDRAKASAN, A. *Logical Effort: Designing Fast CMOS Circuits*. San Francisco: Morgan Kaufmann, 1999.

TAKAHASHI, S.; KWON, D.; NAMBA, K. Non-volatile flip-flop with soft error tolerant capability using DICE and C-element. *Nonlinear Theory and Its Applications, IEICE*, v. 15, n. 4, p. 673-681, 2024.