

UM PROBLEMA DE COMPLEXIDADE NA CONCEPÇÃO DE CIRCUITOS PARA CODIFICAÇÃO DE VÍDEO NO PADRÃO VVC

LUCAS SUPERTI DA SILVA¹; VANESSA ALDRIGHI²; FRANKLIN SALES DE OLIVEIRA³; LUCIANO VOLCAN AGOSTINI⁴

¹*Universidade Federal de Pelotas – lsdsilva@inf.ufpel.edu.br*

²*Universidade Federal de Pelotas – vanessa.a@inf.ufpel.edu.br*

³*Universidade Federal de Pelotas – fsoliveira@inf.ufpel.edu.br*

⁴*Universidade Federal de Pelotas – agostini@inf.ufpel.edu.br*

1. INTRODUÇÃO

O consumo de materiais digitais, principalmente vídeos digitais, aumentou drasticamente nos últimos anos, impulsionado pela popularização de serviços de streaming, videochamadas e conteúdos audiovisuais em plataformas digitais. Esse crescimento foi ainda mais acelerado durante a pandemia de COVID-19, quando houve uma grande migração para ambientes virtuais de trabalho, estudo e lazer (OLIVEIRA, 2023). Com essa demanda crescente, surge a necessidade de otimizar a codificação de vídeos especialmente com a introdução de resoluções mais elevadas, como 4K e 8K, que exigem uma largura de banda significativa para transmissão e armazenamento (PORTO, 2020).

A codificação de vídeo é essencial para a compressão e transmissão eficiente de dados, permitindo a redução do número de bits evitando prejudicar significativamente a qualidade visual. Entretanto, o custo computacional dessa compressão pode ser alto, tornando-se um desafio de engenharia desenvolver soluções mais eficientes. No cenário marcado pela crescente presença de dispositivos móveis, implementações em hardware são uma solução fundamental, pois podem oferecer maior desempenho e eficiência energética em comparação com implementações baseadas apenas em software (PORTO, 2020).

Nesse contexto, técnicas como a Multiplicação por Múltiplas Constantes (do inglês *Multiple Constant Multiplication* - MCM) têm se mostrado essenciais para a redução de complexidade em codificadores modernos, como o *Versatile Video Coding* (VVC). Essas técnicas eliminam a necessidade de multiplicadores completos, otimizando assim o consumo de recursos e a eficiência energética em implementações de hardware.

Os padrões modernos de codificação de vídeo, como o VVC, apresentam grandes melhorias em eficiência de codificação ao custo de um aumento substancial no esforço computacional do processo de codificação. Este esforço computacional elevado inviabiliza soluções implementadas em software na maior parte das aplicações e impõe custos elevados para a implementação em hardware. Assim, é crucial aplicar otimizações nas implementações em hardware.

A técnica de MCM é uma opção comum para substituição de circuitos multiplicadores completos por somas de deslocamentos. Multiplicações por múltiplas constantes, que são realizadas pelos circuitos MCM, são relevantes em todas as etapas da codificação que exija multiplicações por constantes. Uma destas etapas é a etapa de transformadas que são calculadas por meio de uma multiplicação da matriz de entrada por uma matriz de coeficientes constantes (MARCELO, 2023). Um exemplo é a transformada DCT-II, que é usada no VVC. A DCT-II foi usada como base na investigação apresentada neste trabalho.

A técnica MCM se baseia no princípio de que é possível decompor multiplicações por constantes em sequências de somas e deslocamentos. A substituição de multiplicadores convencionais por estes MCMs se torna relevante devido ao custo elevado de multiplicadores completos, que exigem muito mais hardware do que deslocadores binários e somas naquelas operações onde uma das entradas da multiplicação é uma constante. Essa redução não apenas diminui o custo, mas também reduz o atraso do circuito, amplia o potencial de paralelismo e reduz a dissipação energética, especialmente relevante em aplicações móveis.

O problema de determinar qual é a melhor combinação de deslocamentos e somas para gerar os resultados das multiplicações é um problema NP-completo, requerendo soluções aproximadas para a obtenção de um resultado em tempo praticável. O problema é uma generalização do problema da Multiplicação por Única Constante (SCM). Assim, o MCM é obrigatoriamente ao menos tão complexo quanto o SCM. Como o SCM é NP completo (CAPELLO, 1984), o MCM é, ao menos, tão difícil quanto problemas NP completos.

Problemas NP completos têm a característica de que todos os problemas pertencentes à classe são tão difíceis quanto todos os outros. Desta forma, se qualquer problema da classe tiver uma solução polinomial, todos os problemas da terão. Não foi provada a existência de uma solução polinomial para nenhum problema NP completo nem que não exista solução polinomial para qualquer um desses problemas (CORMEN, 1990). Nesse contexto, problemas NP completos são considerados como intratáveis para propósitos práticos devido à impraticabilidade da computação exata de algoritmos não polinomiais.

2. METODOLOGIA

Devido ao fato da dificuldade do problema MCM inibir soluções exatas, algoritmos distintos foram utilizados para obter soluções aproximadas e comparar seus efeitos nas implementações em hardware. Uma investigação de estratégias de MCM baseadas em grafos foi realizada empregando a ferramenta SPIRAL (<https://spiral.net>). Foram investigados os algoritmos Rag-n (Grafo de Somador Reduzido n-Dimensional) e Hcub (Heurística de Benefício Cumulativo). Os algoritmos MCM foram utilizados para substituir as multiplicações por constantes da DCT-II de oito pontos definida no VVC. A seguir, foram contabilizados os operadores necessários para completar as 16 multiplicações necessárias para o cálculo da DCT-II de oito pontos nas duas versões MCM e na versão com multiplicadores convencionais. Foram contabilizados somadores, subtratores, deslocadores, para as versões MCM. Para a versão completa, cada multiplicador completo foi substituído por seus respectivos somadores internos. Por exemplo, um multiplicador de 8 bits precisa de sete somadores, para somar os subprodutos da multiplicação. Assim foi possível comparar, em alto nível, o custo dos circuitos para implementar as duas soluções MCM e a solução com multiplicadores completos.

3. RESULTADOS E DISCUSSÃO

Os resultados gerados estão apresentados na Tabela 1, considerando dados de entrada de 8 bits. Os circuitos baseados em MCM tiveram um custo muito inferior do que o circuito baseado em multiplicadores completos. Os circuitos MCM apresentam um número muito menor de somadores (ou subtratores) e alguns deslocadores, que possuem custo muito baixo em hardware, pois não

utilizam portas lógicas, apenas reconexão de barramentos. No total, os circuitos MCM usaram 22,4 vezes menos somadores (ou subtratores) que a solução com multiplicadores completos. Os resultados para o Rag-n e Hcub apresentaram custos próximos, tendo o mesmo número de somadores e subtratores quando somados (5), e o mesmo número de deslocadores.

Operadores	Multiplicador Completo (IMEN, 2021)	MCM	
		Rag-n	Hcub
Somadores	112	1	2
Subtratores	0	4	3
Deslocadores	0	7	7

Tabela 1. Resultados

4. CONCLUSÕES

Os resultados obtidos evidenciam a vantagem expressiva dos circuitos MCM em termos de economia de recursos de hardware. Essa vantagem se faz relevante no contexto das transformadas em codificadores implementados em hardware, provendo não apenas um menor custo mas também menor dissipação de potência e consumo de energia. Em trabalhos futuros serão analisadas matrizes de outras transformadas e o custo efetivo de implementação em hardware destas soluções.

5. REFERÊNCIAS BIBLIOGRÁFICAS

CAPPELLO, P.R.; STEIGLITZ, K. Some complexity issues in digital signal processing. **IEEE Transactions on Acoustics, Speech, and Signal Processing** v. 32, n. 5, p. 1037-1041, 1984.

MARCELO, A. Multiplierless Design Space Exploration for the 4x4 DST-VII and DCT-VIII VVC Transforms, 2023.

PORTE, R.E.C. **Exploração de Computação Aproximada no Projeto de Hardware Dedicado de Baixo Consumo para a Codificação de Vídeo em Dispositivos Móveis**. 2020. 119 f. Tese (Doutorado em Ciência da Computação) – Programa de Pós-Graduação em Computação, Centro de Desenvolvimento Tecnológico, Universidade Federal de Pelotas.

CORMEN, T.H.; LEISERSON, C.E.; RIVEST, R.L.; STEIN, C. **Introduction to Algorithms**. Massachusetts: MIT Press, 2022 [1990].

IMEN, W.; FATMA, B.; AMNA, M.; MASMOUDI, N. DCT-II transform hardware-based acceleration for VVC standard. **IEEE International Conference on Design Test of Integrated Micro Nano-System (DTs)** p. 1-5, 2021