

# REORDENAMENTO DE TRANSISTORES PARA MELHORA ELÉTRICA EM PORTAS CMOS COMPLEXAS

MARCELLO MORALES MUÑOZ<sup>1</sup>; HENRIQUE KESSLER<sup>2</sup>; MARCELO PORTO<sup>3</sup>; VINÍCIUS VALDUGA CAMARGO<sup>4</sup>

<sup>1</sup>Universidade Federal de Pelotas – mmmunoz@inf.ufpel.edu.br

<sup>2</sup>Universidade Federal de Pelotas – hckessler@inf.ufpel.edu.br

<sup>3</sup>Universidade Federal de Pelotas – porto@inf.ufpel.edu.br

<sup>4</sup>Universidade Federal de Pelotas – vvacamargo@inf.ufpel.edu.br

## 1. INTRODUÇÃO

O desenvolvimento do *computer aided design*(CAD) faz com que seja possível desenvolver circuitos complexos rapidamente. A principal metodologia utilizada na indústria é a *Standard Cell*, porém por ser um conjunto finito de portas lógicas pode não conseguir otimizar um circuito de modo eficiente (REIS, 2018), isto pode afetar a eficiência energética do circuito, o que é crítico em circuitos embarcados. Avanços em CAD permitem a geração automática de portas lógicas complexas CMOS (CARDOSO, 2018), com a capacidade de ser utilizada no fluxo de projeto *standard cell* ou através de *gate merging* em uma etapa de pós processamento (CONCEIÇÃO, 2019). O projeto automático de portas lógicas complexas, encontram desafios da geração da rede de transistores até o layout, um desses desafios é o ordenamento dos transistores na rede.

A seleção das entradas das portas lógicas podem afetar o consumo e atraso de um circuito digital. Com pesquisadores otimizando a seleção das entradas de cada porta em circuitos combinacionais para receberem melhores resultados em atraso e consumo (MAREK, 1990). Também foi percebido o potencial de reduzir consumo dinâmico através de ordenamento de transistores e muitos trabalhos tentaram utilizar essa técnica(CARLSON, 1995). Esses trabalhos têm o objetivo de reduzir as cargas e as descargas das capacitâncias internas.

Grande parte das soluções tem um custo computacional alto e não são adequadas a portas lógicas com alta complexidade ou que precisam ser projetadas *on-the-fly*. Uma forma alternativa é o algoritmo do Hossain (HOSSAIN, 1996) que também tem o princípio de reduzir a atividade das capacitâncias internas porém, sem precisar fazer simulações exaustivamente utilizando a probabilidade dos componentes.

O algoritmo do Hossain tem problemas em reduzir o delay e o consumo de portas lógica em algumas topologias (KESSLER, 2021) por fazer ordenamentos desnecessários e não levar em consideração o atraso das portas.

Neste resumo iremos apresentar um recorte do artigo que foi aceito no neste ano em no sbcci de Qualis A4, de forma mais simplificada onde é mostrado um algoritmo de baixo custo baseado no algoritmo do Hossain para melhora das características elétricas do circuito.

## 2. METODOLOGIA

A ferramenta SwitchCraft (CALLEGARO, 2010) foi utilizada para fazer o design automático das portas lógicas utilizadas nos experimentos. Uma das técnicas utilizadas, que será chamada de FAC, otimiza uma função e utilizando a função cria dois planos que são fatorados individualmente, resultando em planos logicamente complementares mas não necessariamente topologicamente.

Essa estratégia é avaliada utilizando simulações SPICE para o conjunto de funções 4 P-Class (SASAO, 1999) que consiste de 3982 funções lógicas. Essa classe contém todas as funções lógicas de 4 entradas equivalentes por permutação. A tecnologia utilizada foi 45nm da TSMC. O dimensionamento dos transistores foi utilizando o logical effort (SUTHERLAND, 1999)

A descrição do ambiente de simulação utilizado é apresentada e o mesmo do (KESSLER, 2018). A plataforma utilizada nos experimentos foi um Desktop Windows com uma CPU Intel Core i7-8700K 3.70GHz e com 16 GB de RAM.

Neste resumo será comparado o algoritmo apresentado por Hossain com uma adaptação que leva em consideração as entradas com maior atraso.

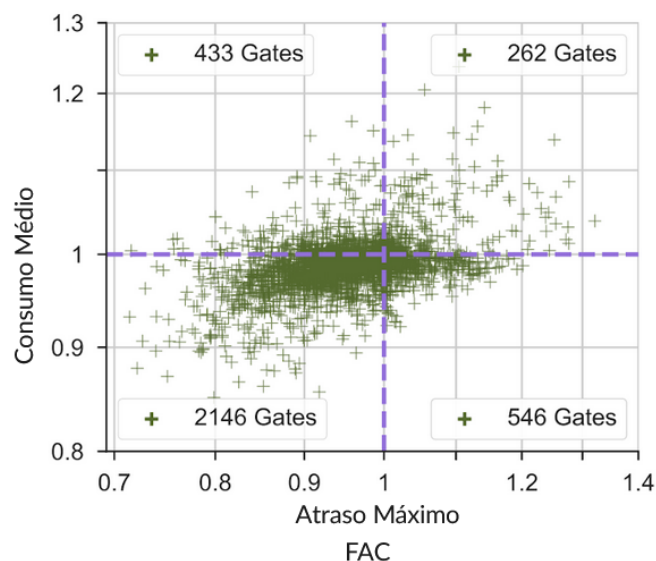
No algoritmo do Hossain todos os componentes de uma série tem suas probabilidades de estarem ativos calculadas, levando em consideração que todas as entradas têm a mesma probabilidade de estar ativa, então os componentes com maior probabilidade de estar ativo são colocados mais longe da saída do circuito, caso dois componentes tenham a mesma probabilidade de estar ativos, o que tiver mais transistores será colocado mais longe da saída. Isto é feito recursivamente para componentes dentro de componentes.

A adaptação do algoritmo funciona de forma semelhante do Hossain porém quando comparam transistores com sua entrada invertida, o componente com a entrada com inversor é colocados mais próximos da saída do circuito porque essa entrada é mais devagar que as outras por ter um nível a mais. O Hossain não levar isso em consideração faz com que ele piore a topologia FAC em média.

### 3. RESULTADOS E DISCUSSÃO

Nesta seção serão discutidos as simulações elétricas, das portas lógicas ordenadas utilizando os dois algoritmos apresentados na seção anterior, aqui com os nomes de Hossain e Proposto. A topologia FAC teve 3387 de 3982 gates diferentes comparando o algoritmo proposto com o Hossain.

A Figura 1 mostra a representação gráfica para topologia FAC de todas as portas simuladas normalizadas em relação a sua versão do algoritmo do Hossain. Nela pode ser visto que para o topologia FAC 2146 portas lógicas tiveram seu atraso e consumo reduzido (63,36% das portas diferentes) com 262 portas tendo seu atraso e consumo aumentado (7,74%).



**Figura 1.** Comparação portas lógicas do algoritmo proposto com o Hossain.

A Tabela I mostra os resultados obtidos para a topologia FAC, nesta tabela pode ser visto que teve uma redução, em média, de todas as características elétricas. O atraso médio reduziu em 0,3% e o atraso máximo teve uma redução de 4,43%, uma grande redução no atraso máximo quando comparado com Hossain. O consumo reduz de 1,1% no consumo estático máximo e consumo médio quando são levados em consideração somente as portas complexas diferentes.

Como previsto, colocar os transistores que têm um nível a mais em sua entrada, como um inversor, tem um grande impacto no atraso máximo do circuito e por consequência um impacto no atraso médio.

**Tabela I.** Média dos resultados para topologia FAC para todas as funções lógicas de 4 entradas.

FAC Logic Gates			
	Hossain	Proposto	Proposto*
Atraso Médio	1,000	0,997	0,997
Atraso Máximo	1,000	0,963	0,957
Consumo Estático Máximo	1,000	0,991	0,989
Consumo Médio	1,000	0,990	0,989

\*Valores que não contam portas complexas iguais.

Utilizar algoritmos probabilísticos para melhorias elétricas podem não funcionar corretamente para certas rede de transistores, isto sendo visto na Figura 1 onde 262 circuitos pioram, o motivo de isso acontecer é porque quando um dos planos é reordenado isso pode aumentar a capacitância do circuito para algumas entradas porque mais transistores estarão ligados, isto é um dos pontos fracos de utilizar somente a probabilidade dos transistores.

O algoritmo proposto levou a melhorias elétricas, em média, das portas lógicas da topologia estudada em todas as métricas, também é mostrado que a maioria das portas lógicas estão localizadas no quadrante que há melhora no consumo e atraso. Com a maior vantagem do algoritmo proposto em relação ao seu predecessor é a redução do atraso máximo, como foca em entradas com atraso maior e que tem maior chance de ser o pior caso de atraso. Enquanto o custo computacional deste algoritmo continua baixo podendo ser utilizado em etapas de pós-processamento. Ambos algoritmos rodaram em 7964 gates em menos de 10 segundos em um desktop.

#### 4. CONCLUSÕES

Este trabalho propõe um algoritmo de reordenamento que foca na automação do projeto de super portas. O algoritmos foi testado utilizando 3982 funções do conjunto de 4 entradas P-Class na topologia FAC e comparado com

um método de reordenamento bem estabelecido tendo ganhos em consumo e atraso.

Também foi mostrado que as características elétricas de uma porta somente com reordenamento de transistor podem ser melhoradas. Esses algoritmos podem ser utilizados e pós-processamento por terem um custo computacional baixo e também podem ser utilizados para projeto automático de portas lógicas.

Os reordenamentos de transistores estudados neste resumo podem ser combinados com algoritmos de otimização de leiaute, que focam em melhorias de leiaute e confiabilidade.

## 5. REFERÊNCIAS BIBLIOGRÁFICAS

REIS R. Strategies for reducing power consumption and increasing reliability in IoT. In **IFIP International Internet of Things Conference** 2018 Sep 18 (pp. 76-88). Springer, Cham.

CARDOSO MS, et al. Libra: An automatic design methodology for CMOS complex gates. **IEEE Transactions on Circuits and Systems II: Express Briefs**. 2018 Aug 20;65(10):1345-9.

CONCEIÇÃO CM, et al. Transistor count reduction by gate merging. **IEEE Transactions on Circuits and Systems I: Regular Papers**. 2019 Apr 25;66(6):2175-87.

MAREK-SADOWSKA M, Lin SP. Pin assignment for improved performance in standard cell design. In **Proceedings., 1990 IEEE International Conference on Computer Design: VLSI in Computers and Processors** 1990 Sep 17 (pp. 339-342). IEEE.

CARLSON, Bradley S.; LEE, Suh-Juch. Delay optimization of digital CMOS VLSI circuits by transistor reordering. **IEEE transactions on computer-aided design of integrated circuits and systems**, v. 14, n. 10, p. 1183-1192, 1995.

HOSSAIN R, et al. Reducing power dissipation in CMOS circuits by signal probability based transistor reordering. **IEEE transactions on computer-aided design of integrated circuits and systems**. 1996 Mar;15(3):361-8.

KESSLER H, et al. Electrical Evaluation of Logic Network Generation Methods for On-the-Fly Supergate Design. **Journal of Integrated Circuits and Systems**. 2021 Dec 31;16(3):1-7.

Callegaro V, Marques FD, Klock CE, da Rosa Jr LS, Ribas RP, Reis AI. SwitchCraft: a framework for transistor network design. In **Proceedings of the 23rd symposium on Integrated circuits and system design** 2010 Sep 6 (pp. 49-53).

SASAO, T. **Switching theory for logic synthesis**. Springer Science & Business Media, 1999. 2v.

SUTHERLAND, Ivan et al. **Logical effort: designing fast CMOS circuits**. Morgan Kaufmann, 1999.