

CÁLCULO DA PROBABILIDADE DE SINAIS DE CIRCUITOS LÓGICOS

AUGUSTO ANDRÉ SOUZA BERNDT¹; PAULO FRANCISCO BUTZEN²

¹Universidade Federal do Rio Grande – gudehh@gmail.com

²Universidade Federal do Rio Grande – paulobutzen@furg.br

1. INTRODUÇÃO

Hoje em dia os dispositivos eletrônicos tornaram-se uma realidade universal no cotidiano da vida humana. Essa disseminação se deve à miniaturização dos dispositivos eletrônicos. A redução nas dimensões dos componentes integrados possibilitou o aumento da funcionalidade e velocidade dos sistemas integrados. Atualmente os dispositivos eletrônicos são fabricados em tecnologias manométricas. A medida que a tecnologia de fabricação evolui (torna os dispositivos menores), os sistemas se tornam mais densos e complexos. Estes fatores levam a necessidade de um fluxo de projeto automatizado auxiliado por computadores.[CALHOUN,2008]

Este fluxo de projeto automatizado possui diversas etapas onde são realizados diversos tipos de análises e testes para averiguar se o circuito em desenvolvimento está de acordo tanto com seus requisitos de projeto como com seu comportamento lógico esperado. Algumas destas análises, como estimativas de confiabilidade, dissipação de potência estática e envelhecimento, precisam de dados de probabilidade dos sinais internos do circuito. Análises de confiabilidade podem mensurar em valores numéricos qual a probabilidade de uma parte do circuito falhar. Uma análise de dissipação de potência estática trata de determinar qual estado o circuito vem a consumir menos energia, e este estado pode ser utilizado para quando o dispositivo estiver em *stand by*. A análise de envelhecimento busca qual seriam os estados dos dispositivos nos quais estes sofrem menor degradação ao longo do tempo.

Uma maneira simples de se calcular as probabilidades dos sinais internos de um circuito qualquer é analisando quais os valores lógicos de cada sinal para todas as possíveis combinações de vetores de entrada do circuito. Porém, devido a atual complexidade de circuitos lógicos, este método se torna inviável. Um simples circuito com 32 bits de entrada, por exemplo, possui mais de 4 bilhões de vetores de entrada distintos. Se analisar uma combinação demorasse 1ms, avaliar todo o circuito demoraria aproximadamente 50 dias. Esse tempo demonstra-se inviável.

Outro meio de se definir as probabilidades dos sinais internos de um circuito seria a partir de cada porta lógica pertencente ao mesmo. As probabilidades das saídas das portas lógicas (sinais internos do circuito) são computadas a partir da probabilidade dos seus sinais de entrada. Esse processo é realizado percorrendo uma única vez o circuito, atividade esta realizada em um tempo viável.

Contudo, este método falha quando caminhos reconvergentes encontram-se no circuito em análise. Caminhos reconvergentes são frequentes em circuitos lógicos. Dois caminhos serão reconvergentes se e somente se dois caminhos iniciarem em um sinal que se “divide” e se reencontrarem em uma porta lógica posterior. O sinal que origina o caminho reconvergente é denominado *source* e a porta lógica onde os caminhos se reencontram é denominada *sink*. Um *sink* pode ter diversos *sources*. O erro no cálculo das probabilidades se dá pelo fato de que

o sinal *source* será levado em consideração pelo *sink* como se pudesse ter dois valores lógicos diferentes simultaneamente, sendo que isto é impossível.

Este erro pode ser eliminado quando o cálculo probabilístico feito nas portas lógicas que são *sinks* passe a levar em consideração uma abordagem de probabilidade condicional. Nesta solução, os valores de probabilidade dos *sinks* não irão depender somente dos valores de probabilidade dos seus sinais de entrada, mas será avaliado todo o caminho reconvergente desde os seus nodos *sources*. [FLAQUER, 2010]

O objetivo deste trabalho é desenvolver uma ferramenta capaz de fornecer valores de probabilidade dos sinais de um circuito digital.

2. METODOLOGIA

Antes de qualquer cálculo ser realizado, a ferramenta recebe como entrada a descrição do circuito em linguagem *verilog*, a descrição da biblioteca de células em formato *liberty* e os valores de probabilidade dos sinais de entrada do circuito. Com estes dados a ferramenta estrutura o circuito na forma de um grafo. Este tipo de estrutura facilita qualquer tipo de busca ou operação dentro do circuito. Com o grafo já estruturado pode-se optar entre os dois métodos implementados para calcular as probabilidades dos sinais.

O primeiro método é a implementação exaustiva. Neste método todas as possíveis combinações de vetores de entrada do circuito são utilizadas para propagar os sinais lógicos no interior do circuito. Com os valores de probabilidades para os vetores de entrada e o comportamento de cada sinal interno com relação a eles, define-se a probabilidade de todos sinais internos do circuito.

Esta implementação tem complexidade temporal de $O(m * 2^n)$, sendo n o número de sinais de entrada e m o número de portas lógicas do circuito. Em outras palavras, para cada vetor de entrada é necessário que se faça uma busca em profundidade ao longo do grafo, passando por todas as portas lógicas do circuito, para estabelecer os valores lógicos de cada sinal.

O segundo método implementado, também utiliza os valores de probabilidade dos sinais de entrada assim como o circuito armazenado na estrutura de um grafo. A partir disto é feito uma busca em profundidade iniciando pelos sinais de saída até os sinais de entrada. Quando uma porta lógica que possui a probabilidade de todos seus sinais de entrada definidos, esta porta lógica está apta a ter calculado o(s) valor(es) de probabilidade para seu(s) sinal(is) de saída. Isto é feito a partir da sua função lógica e a relação de valores de probabilidade dos sinais de entrada. Por exemplo para uma porta lógica AND com dois sinais de entrada X e Y e um sinal de saída Z , sua probabilidade de saída será definida por $P(Z) = P(X) * P(Y)$. Já se esta porta fosse uma porta OR, então a probabilidade de Z seria definida por $P(Z) = [P(X) + P(Y)] - [P(X) * P(Y)]$.

O segundo método tem complexidade temporal de $O(m)$, sendo m o número de portas lógicas do circuito. O segundo método tem como vantagem o fato de fazer apenas uma busca em profundidade, mas ele não considera o erro gerado por caminhos reconvergentes. Desta forma, o segundo método pode ser aprimorado de forma a considerar os caminhos reconvergentes. Isto pode ser feito utilizando conceitos de probabilidade condicional. Esta alteração deve ser feita apenas para portas lógicas que são *sinks* de reconvergência. Em gates comuns o cálculo da probabilidade dos seus sinais de saída permanece o mesmo. A alteração a ser feita com relação a portas que são *sinks* se trata de não considerar as variáveis de probabilidade dos sinais de entrada deste *sink* como

variáveis aleatórias, mas sim como variáveis condicionais. As variáveis condicionais serão todos os *sources* primários do *sink* a ser calculado.

Um *source* será um *source* primário quando não existe nenhum outro sinal posterior a este que reconverja no mesmo *sink*. Qualquer outro *source* de reconvergência que esteja no caminho do *source* primário até o *sink* é um *source* secundário e pode ser desconsiderado para o cálculo das probabilidades. Já que este *source* secundário será obrigatoriamente levado em consideração no cálculo quando o *source* primário for analisado. Ou seja, um *source* primário é o *source* mais distante possível do *sink* em questão.

Para a implementação desta solução é necessário que primeiro se encontre os caminhos reconvergentes dentro do circuito. Para isto foi implementado uma adaptação do algoritmo de análise de *timing* apresentado em [ROBERTS,1987]. Neste algoritmo cada sinal possuirá uma lista de *fan-outs* que passam por este mesmo sinal. Cada porta lógica trata de comparar as listas de *fan-outs* de cada sinal de entrada, cada *fan-out* que se repete entre as listas em comparação é dado como um caso de reconvergência e esta porta lógica passa ter uma lista de *fan-outs* reconvergentes. Por fim uma redução é feita na lista de *fan-outs* reconvergentes pois este algoritmo encontra casos de falsos positivos. O algoritmo precisou ser adaptado por desconsiderar *sources* primários que reconvergem antes de reconvergir mais uma vez logo a frente, já que para análises de *timing* estes casos de reconvergência são desprezíveis.

3. RESULTADOS E DISCUSSÃO

A ferramenta se encontra em desenvolvimento. A estruturação do circuito como um grafo, o cálculo exaustivo e a primeira versão do segundo método (sem ciência dos caminhos reconvergentes) já foram implementados. O tratamento dos caminhos reconvergentes está em andamento. Os caminhos já são encontrados, mas o cálculo das probabilidades em *sinks* ainda está sendo ajustado.

Na tabela 1 pode-se ver uma comparação entre os dois métodos utilizados para descobrir os valores de probabilidade dos sinais de uma implementação com 6 portas do tipo NAND do circuito C17. Mesmo neste circuito pequeno, observa-se uma diferença de 20 vezes no tempo de execução. Além do tempo, na tabela são apresentados os valores para os sinais de saída do circuito. Estes foram escolhidos por serem *sinks* de caminhos reconvergentes. Quando comparados os dois métodos, observa-se a diferença gerada pelo fato de não considerar os caminhos reconvergentes no segunda método.

Nome do sinal	Exaustivo	Segundo método
22GAT	0,5625	0,531
23GAT	0,5625	0,609
Tempo (ms)	6,09	0,302

Tabela 1. Comparativo entre os métodos implementados

Na tabela 2 pode-se observar a quantidade de caminhos reconvergentes no interior dos circuitos benchmarks ISCAS85. Em média, 63% das portas lógicas dos circuitos analisados são *sinks*. Uma porta *sink* indica a existência de um caminho reconvergente e conseqüentemente a necessidade de utilizar a solução por probabilidade condicional para obter o correto valor de probabilidade da saída da referida porta. A penúltima e a última coluna mostram o maior número de *sources* primários e a frequência de *sinks* que possuem essa quantidade de

sources. O número máximo de *sources* primários por *sink* irá refletir o pior caso na complexidade da solução dos caminhos reconvergentes.

Circuito	#gates	#sinks	%sinks	#sinais	SP MAX	#repetições
c17.v	6	2	33%	11	1	2
c432.v	194	116	59%	230	15	1
c499.v	332	182	54%	373	34	8
c880.v	242	101	41%	302	17	3
c1355.v	330	180	54%	371	34	8
c1908.v	359	212	59%	392	25	1
c3540.v	800	533	66%	850	42	1
c5315.v	1162	609	52%	1340	20	1
c6288.v	2079	1496	71%	2111	48	1
c7552.v	1530	1042	68%	1737	38	4
MÉDIA	703	447	63%	776		

Tabela 2. Dados de reconvergência

4. CONCLUSÕES

Devido a alta frequência de caminhos reconvergentes e a inviabilidade temporal do método exaustivo, o aprimoramento do segundo método para o cálculo das probabilidades é extremamente necessário. A implementação está próxima de ser finalizada, para que se possa cumprir o objetivo do projeto de providenciar as probabilidades dos sinais em um circuito qualquer. Com este dado, análises de confiabilidade, envelhecimento e consumo estático podem ser automatizadas e aprimoradas.

5. REFERÊNCIAS BIBLIOGRÁFICAS

CALHOUN, H., CAO, Y., LI, X., MAI, K., PILEGGI, T., RUTENBAR, A., SHEPARD, L. Digital Circuit Design Challenges and Opportunities in the Era of Nanoscale CMOS. **Proceedings of the IEEE** , 96(2): 343-365, fevereiro 2008.

FLAQUER, T., DAVEAU, M., NAVINER, L., ROCHE, P. Handling Reconvergent Paths Using Conditional Probabilities in Combinatorial Logic Netlist Reliability Estimation. **Electronics, Circuits, and Systems (ICECS)** , 2010 17th IEEE International Conference on. IEEE, 2010.

FLAQUER, T., DAVEAU, M., NAVINER, L., ROCHE, P. Fast Reliability Analysis of Combinatorial Logic Circuits Using Conditional Probabilities. **Microelectronics Reliability** , 50(9):1215-1218, setembro de 2010.

Roberts, M.W.; Lala, P.K.: 'Algorithm to detect reconvergent fanouts in logic circuits', **IEE Proceedings** , 1987, 134, (2), p. 105-111, DOI: 10.1049/ip-e.1987.0019