

POSICIONAMENTO DE CÉLULAS

JORGE ALBERTO FERREIRA¹;
CRISTINA MEINHARDT²

¹Universidade do Rio Grande- jaf1310@gmail.com

²Universidade do Rio Grande – cristinameinhardt@furg.br

1. INTRODUÇÃO

Com a evolução da tecnologia, houve um aumento no número de funcionalidades que podem ser inseridas em mesma área de circuito integrado. Isso fez com que os projetistas passassem a desenvolver projetos com um número muito elevado de dispositivos, sendo estes transistores ou até se considerarmos blocos lógicos, como grau de granularidade. A Lei de Moore, que surgiu em 1965, tem esse conceito estabelecido que o aumento da densidade dos dispositivos semicondutores nos chips duplicaria a cada dois anos, porém existem estudos que futuramente não será mais possível continuar respeitando essa lei. No entanto, isso ainda é usado como motivação, pois, nos dias de hoje, os circuitos têm cerca de 10 bilhões de células. Em projetos deste tipo, chamados de VLSI (*Very Large Scale Integration*), se está sempre em busca de reduzir o tamanho, o consumo de energia e a dissipação de calor de seus dispositivos, porém a métrica alvo sempre de otimização é atingir um melhor desempenho, ou seja, ter menores atrasos devido às células ou interconexões (SAPATNEKAR, 2009).

A cada dia que a tecnologia avança é preciso desenvolver soluções melhores, e o uso de ferramentas de auxílio ao projeto tornou-se um realidade. Estas ferramentas são conhecidas como EDA (*Electronic Design Automation*) e estão organizadas como um fluxo de síntese física de circuitos integrados, relacionados à metodologia de projeto *Standard Cell*. Uma das principais etapas deste fluxo é o posicionamento das células. O posicionamento de células é uma etapa do projeto de um circuito integrado para determinar a localização das células na área de um circuito. Sendo que uma célula pode ser um grupo de transistores e de interconexões que fornecem uma função lógica booleana ou de armazenamento. A qualidade do posicionamento gerado afeta diretamente no desempenho do circuito seja na área, no consumo de energia ou na distribuição de calor (SHERWANI, 1999). Neste contexto, os objetivos do projeto são identificar as principais soluções de posicionamento propostas nos últimos anos, as características gerais dos algoritmos de posicionamento e suas estruturas de dados, assim como, identificar estruturas de *benchmarks* de circuitos disponíveis. Além disso, este trabalho também engloba a implementação dos métodos básicos de posicionamento.

2. METODOLOGIA

A metodologia adotada neste trabalho iniciou com a revisão conceitual do problema de posicionamento em circuitos VLSI. Nesta revisão, observou-se as principais etapas de um posicionador, os algoritmos clássicos, as métricas de avaliação e os tipos de benchmarks atuais.

A segunda parte deste trabalho, compreendeu a implementação de uma meta-heurística muito adotada nas soluções de posicionamento: o *Simulated*

Annealing. Muitos algoritmos de posicionamento global empregam modificações da meta-heurística *Simulated Annealing* (SA), que está na categoria dos algoritmos estocásticos que utilizam movimentos aleatórios para aperfeiçoar uma função. Porém, possui um tempo elevado de processamento, limitando sua aplicação. O *Simulated Annealing* é uma técnica de otimização combinatória originada do processo metalúrgico de fabricação de metais, no que o metal é aquecido em altas temperaturas, causando a agitação das suas moléculas e um resfriamento lento para melhor organização das moléculas. O SA começa numa configuração determinada e a cada iteração do algoritmo poderá mudar a atual configuração para uma nova, até que algum critério de parada seja satisfeito. A cada iteração, é feito, aleatoriamente, uma troca da atual configuração para uma nova, caso a nova configuração seja aceita pela função custo ou outro objetivo de otimização, ela é aceita. No entanto, caso não seja aceita a nova configuração é probabilisticamente rejeitada, de forma que a probabilidade de rejeição aumenta à medida que são executadas as iterações. A habilidade de fazer uma transição para uma nova configuração com valores de custo piores permite que o SA escape de mínimos locais, o que é um ingrediente essencial para o seu sucesso (SAPATNEKAR, 2009). Esta parte foi implementada em C, e o principal objetivo era visualizar a problemática envolvida no projeto de um ferramenta de posicionamento. Os principais pontos a serem considerados é um bom projeto de estruturas de dados para manipular conjuntos de mais de mil células e suas interconexões.

A última etapa compreendeu uma busca pelos estudos mais atuais e significativos na área de posicionamento de circuitos integrados nos últimos anos, na literatura científica.

4. RESULTADOS E DISCUSSÃO

O posicionamento de células é feito em três etapas: posicionamento global, legalização e posicionamento detalhado. Para definir a qualidade de uma solução de posicionamento, são utilizadas algumas métricas de avaliação. O posicionamento de células num circuito integrado é conduzido pela tentativa de aperfeiçoamento de uma métrica (SHERWAMI, 1999). A métrica mais adotada é o comprimento de fios. Entretanto, muitas ferramentas atuais já consideram um conjunto de métricas a serem otimizadas junto com o comprimento dos fios, tais como o consumo de energia, a distribuição de calor, a análise de atrasos, o tempo de execução da solução de posicionamento, entre outras.

O objetivo do posicionamento global é encontrar uma posição para cada uma das células dentro do limite da área do circuito no qual foi projetado, sendo a etapa mais demorada e importante do processo. Nesse estágio, o importante é espalhar as células para evitar possíveis sobreposições de células.

Apesar de tentar evitar possíveis sobreposições o posicionamento global tradicionalmente apresenta sobreposições por conta do grande número de células, por isso o posicionamento precisa ser legalizado, é a etapa que remove sobreposições entre as células. Durante esse estágio, as células devem sofrer o menor deslocamento possível, de modo que a solução não seja drasticamente alterada (KAHNG, 2011).

Após a legalização, todas as células devem estar em posições válidas e sem sobreposições, ocasionando espaço para melhorar a solução, pois os deslocamentos provocados para legalizar as células geralmente aumentam o comprimento de fio (WANG; CHANG; CHENG, 2009). Então, na etapa de posicionamento detalhado, o posicionamento resultante da legalização é

otimizado através de trocas locais em pequenas regiões do circuito de modo que o posicionamento siga legal, na tentativa de diminuir o comprimento de fio.

O estudo realizado até o momento levantou que o comprimento total dos fios é a métrica a ser reduzida que, geralmente, é adotada, pois diretamente ela diminui os atrasos do circuito, além de indiretamente contribuir para o consumo de energia. O modelo Half-Perimeter Wirelength (HPWL) é o método, mais utilizado para obter uma estima dos fios, por ter uma precisão razoável e por ser rápido, além de ser fácil de ser computado. O comprimento do fio é medido computacionalmente para obter o semi-perímetro do menor retângulo que contornem todas as células, chamado de Bounding Box (BB) (SHERWANI, 1999).

Alguns algoritmos utilizam o posicionamento analítico que expressa a função objetivo a ser otimizada como uma função matemática analítica das posições das células do circuito (WANG; CHANG; CHENG, 2009). Ou seja, o problema de posicionamento seria transformado num problema matemático. As técnicas de posicionamento analítico são classificadas como quadráticas ou não lineares. Os posicionadores quadráticos aplicam um modelo de redes às conexões do circuito, os objetivos são modelados como funções quadráticas convexas (WANG; CHANG; CHENG, 2009), com o comprimento de fio a função objetivo baseada na equação Euclidiana quadrática, juntamente com o peso da conexão entre duas células. Sendo assim, as conexões entre dois pinos seriam modeladas como molas e as células seriam pontos adimensionais para minimizar o comprimento de fio. Portanto, o posicionamento seria um ponto de equilíbrio entre as células, ou seja, a força resultante atuando em cada nó seria zero, assim como, num sistema de molas.

Além disso, foi feito uma seleção sobre os mais recentes e relevantes posicionadores de células, no qual, os posicionadores selecionados para estudo foram SimPL (KIM; LEE; MARKOV, 2012), MAPLE (KIM; VISWANATHAN; ALPERT; MARKOV, 2012), FastPlace 3.0 (VISWANATHAN; PAN; CHU, 2007), MrDP (LIN; YU; XU, 2017) and Detailed Placement with Double-Row Height Standard Cells (WU; CHU, 2016) sobre os *benchmarks* dos circuitos ADAPTEC e BIGBLUE. O FastPlace apresenta um algoritmo de posicionamento quadrático multi-nível eficiente e escalável para projetos de tamanho heterogêneo em larga escala. Diferentemente, o SimPL propôs um posicionador global autônomo, uniforme e quadrático que é mais simples do que os posicionadores existentes. O MAPLE apresenta uma ferramenta multi-nível para posicionamento em grande escala que respeita as restrições de utilização e guia a transição entre posicionamento global e detalhado. Enquanto que o trabalho proposto por Wu apresenta uma abordagem de posicionamento que pode lidar com projetos com qualquer número de células padrão de altura de duas filas e uma abordagem de posicionamento que pode lidar com projetos com qualquer número de células padrão de altura de duas filas. O mais recente de todos avaliados, o MrDP propõe um posicionador detalhado de densidade para *netlists* de tamanho heterogêneo.

Comparando estes cinco trabalhos recentes quanto a tamanho do fio (HPWL) e tempo de execução observa-se que o SIMPL MAPLE e FastPlace 3.0 se destacaram na métrica HPWL. Considerando o tempo de execução, SimPL, Detailed Placement Algorithm for VLSI Design With Double-Row Height Standard Cells e MrDP são as melhores soluções nos circuitos selecionados.

4. CONCLUSÕES

Este trabalho realiza o levantamento dos diferentes aspectos de projeto de algoritmos e estruturas de dados relevantes na construção de boas soluções de posicionamento, além do estudo das técnicas modernas de posicionamento. O conhecimento destas características é fundamental para o desenvolvimento de ferramentas de posicionamento atuais (KIM, 2012), com bons resultados de posicionamento e bom desempenho, como comprimento de fios e tempo de execução, quanto ao uso de recursos computacionais.

Sobre as técnicas modernas de posicionamento são comparados sobre o HPWL legalizado e seus tempos de execução. SimPL, MAPLE e FastPlace 3.0 destacaram-se na métrica HPWL. Considerando o tempo de execução, SimPL, Detailed Placement Algorithm for VLSI Design With Double-Row Height Standard Cells e MrDP são as melhores soluções nos circuitos selecionados.

5. REFERÊNCIAS BIBLIOGRÁFICAS

SHERWANI, N. A. **Algorithms For VLSI Physical Design Automation**. EUA: Kluwer Academic Publishers, 1999. 3v.

WANG, L.-T.; CHANG, Y.-W.; CHENG, K.-T. T. **Electronic Design Automation: Synthesis, Verification, and Test**. San Francisco, CA, EUA: Morgan Kaufmann Publishers Inc., 2009

SAPATNEKAR, S. S. **Handbook of Algorithms for VLSI Physical Design Automation**. Boca Raton, FL: Auerbach Publications, 2009. Cap.17, p.327-345.

VISWANATHAN, N.; PAN, M.; CHU, C. FastPlace 3.0: A Fast Multilevel Quadratic Placement Algorithm with Placement Congestion Control. In: **DESIGN AUTOMATION CONFERENCE**. Yokohama, 2007.

KIM, M. C.; LEE, D. J.; MARKOV, I. L. SimPL: An Effective Placement Algorithm. **IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS**. 2012.

WU, G.; CHU, C. Detailed Placement Algorithm for VLSI Design With Double-Row Height Standard Cells. **IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS**. 2016.

LIN, Y.; YU, B.; XU, X. MrDP: Multiple-row Detailed Placement of Heterogeneous-sized Cells for Advanced Nodes. **IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS**. 2017.

KIM, M.-C.; VISWANATHAN, N.; ALPERT, C. J.; MARKOV, I. L.; RAMJI, S. MAPLE: MULTILEVEL ADAPTIVE PLACEMENT FOR MIXED-SIZE DESIGNS. **ACM INTERNATIONAL SYMPOSIUM ON PHYSICAL DESIGN**. 2012.